

[0017] The frame synchronizing signal detecting circuit is provided with a first signal generating circuit 1 and an error detecting circuit 4 and the first signal generating circuit generates a first signal S5 described later. The first signal generating circuit 1 includes an 8-bit shift register 2 and an AND gate 3. In the shift register 2, an enable signal S1 is input to its serial input terminal, is shifted by 8 bits in synchronization with a clock pulse S2 and a delayed enable signal is generated. Therefore, the delayed enable signal means a signal the phase of which is delayed from an enable signal by an 8-clock pulse cycle, that is, the length of a frame synchronizing signal. The AND gate 3 receives the enable signal and an inverted delayed enable signal S4 and outputs their AND as the first signal S5. Therefore, the first signal S5 has a logical value 1 only in a period corresponding to the length of the frame synchronizing signal (see the signal S5 in Fig. 3). The error detecting circuit 4 extracts an error from the frame synchronizing signal if the frame synchronizing signal includes the error. The error detecting circuit 4 includes an AND gate 5 and a register circuit 6. The AND gate 5 receives the first signal S5 and a data signal S3 and outputs their AND as a second signal S6. Thereby, an error bit is extracted from the frame synchronizing signal (see S6 in Fig. 3). The register circuit 6 includes AND gates 7 and 8 and a D bistable circuit 9. The AND gate 7 receives the clock pulse S2 and the first

signal S5 and outputs an active clock pulse train S7 only in a period corresponding to the length of the frame synchronizing signal (see S7 in Fig. 3). The AND gate 8 receives the second signal S6 and the clock pulse train S7 and outputs one clock pulse S8 synchronized with an error bit if the frame synchronizing signal includes the error bit. The D bistable circuit is enabled by the enable signal, the second signal S6 is input to its data input terminal, the clock pulse S8 is input to its clock input terminal, the second signal S6 is latched at the trailing edge of the clock signal S8 and an alarm signal S9 is transmitted. As described above, if the frame synchronizing signal includes an error, the frame synchronizing signal detecting circuit can detect the error in real time in parallel with the input of the data signal. In this embodiment, the first signal S5 is generated based upon AND of the enable signal and the inverted delayed enable signal, however, the identical signal can be acquired based upon exclusive-OR of the enable signal and the delayed enable signal.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-207003

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.⁵

H 0 4 L 7/08

H 0 4 J 3/06

識別記号

A 7928-5K

A 8843-5K

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数7(全 9 頁)

(21)出願番号 特願平4-230222

(22)出願日 平成4年(1992)8月28日

(31)優先権主張番号 特願平3-220495

(32)優先日 平3(1991)8月30日

(33)優先権主張国 日本(JP)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 △魚▽本 靖智

東京都港区芝五丁目7番1号 日本電気株式会社内

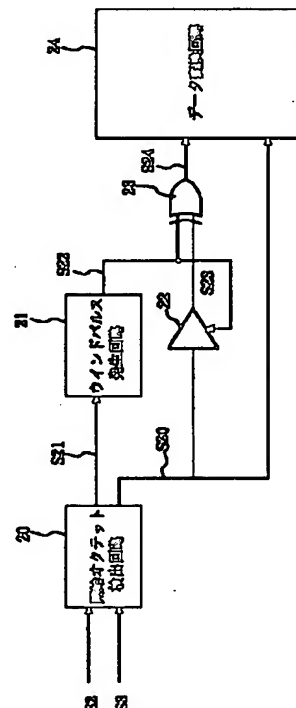
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 フレーム同期信号検出回路

(57)【要約】

【目的】 データ信号の入力に並行してフレーム同期信号、サブフレーム同期信号を検出することができる検出回路を提供する。

【構成】 フレーム同期信号は、該信号の長さに対応する期間のみ論理1をとる第1信号を生成し、データ信号と第1信号の論理積を作成することによって検出される。サブフレーム同期信号は、開始サブフレームに誤りビットが無いときに生成される孤立パルス信号を先頭パルスとして、サブフレーム周期を繰返し周期とするパルス列を生成し、このパルス列から孤立パルス信号を除去してウインドパルスを生成し、このウインドパルスをマスクとしてデータ信号からサブフレーム同期信号を抽出することによって検出される。



【特許請求の範囲】

【請求項1】 すべてのビットが同一の論理値のコードで指定されるフレーム同期信号を検出する、フレーム同期データ通信におけるフレーム同期信号検出回路において、

前記フレーム同期信号の長さに対応する期間のみに論理1をとる第1の信号を出力する第1の回路と、

前記フレーム同期データ通信によって送信されたデータ信号と前記第1の信号を入力して両者の論理積に対応する第2の信号を出力する第1のゲート回路を有する第2の回路とを有することを特徴とするフレーム同期信号検出回路。

【請求項2】 第1の回路が、フレーム同期データ送信によって送信されたイネーブル信号をフレーム同期信号の長さに対応する期間だけ遅延させ、遅延イネーブル信号として出力する遅延回路と、前記イネーブル信号と前記遅延イネーブル信号との排他的論理和を第1の信号として出力する第2のゲート回路とを有する、請求項1に記載のフレーム同期信号検出回路。

【請求項3】 遅延回路は、フレーム同期信号のビット数と同じビット数のシフトレジスタを有し、該シフトレジスタは、フレーム同期データ通信によって送信されたイネーブル信号とクロックパルス信号を入力し、クロックパルス信号に同期して前記イネーブル信号をシフトさせ、そのシリアル出力を遅延イネーブル信号として出力する、請求項2に記載のフレーム同期信号検出回路。

【請求項4】 1フレームが複数のサブフレームで成り、各サブフレームはMビットで成り、フレーム同期信号は開始サブフレームの全ビットで表わされ、サブフレーム同期信号は前記開始サブフレーム以外の各サブフレームの第kビットで表わされ、前記第kビットは第1の論理レベルに設定される、フレーム同期データ通信の、サブフレーム同期信号検出回路において、

開始サブフレームを検出し、該サブフレームに表わされているフレーム同期信号に誤りがないことを検出したときに、開始サブフレームの次に続く第2サブフレームの第kビットに同期して前記第1の論理レベルの孤立パルス信号を発生し、かつ、入力したデータ信号をMクロックパルス周期だけ遅延させて出力する開始サブフレーム検出回路と、

先頭パルスは前記孤立パルス信号をMクロックパルス周期だけ遅延させることによって生成され、それ以後の各パルスは直前のパルスをMクロックパルス周期だけ遅延させることによって繰返し生成され、該繰返し生成されたパルスのうちの、前記第2サブフレーム以外の各サブフレームのサブフレーム同期信号に同期するパルスで成るパルス列であるウインドパルスを生成するウインドパルス発生回路と、

前記ウインドパルスの制御のもとで前記開始サブフレーム検出回路によって遅延されたデータ信号から、開始サ

ブフレーム以外のサブフレームの第kビットを選択するトランSMissionゲートを有することを特徴とするサブフレーム同期信号検出回路。

【請求項5】 開始サブフレーム検出回路は、シリアル入力端子とMビットパラレル出力端子およびシリアル出力端子を有する第1のシフトレジスタと、前記第1のシフトレジスタのMビットのパラレル出力に接続されたM入力の第1の論理和ゲートを有し、第1のシフトレジスタは、シリアル入力されたデータ信号をクロックパルス信号に同期してシフトさせ、そのシリアル出力を遅延データ信号として出力し、第1の論理和ゲートは開始フレームが誤りをもたないときにのみ、第1の論理レベルのパルスを孤立パルス信号として出力する請求項4に記載のサブフレーム同期信号検出回路。

【請求項6】 開始サブフレーム検出回路は、シリアル入力端子とMビットパラレル出力端子およびシリアル出力端子を有する第1のシフトレジスタと、前記第1のシフトレジスタのMビットのパラレル出力に接続されたM入力の第1の論理和ゲートと、第1の遅延回路を有し、第1のシフトレジスタは、シリアル入力されたデータ信号をクロックパルス信号に同期してシフトさせ、そのシリアル出力を遅延データ信号として出力し、第1の論理和ゲートは開始フレームが誤りをもたないときにのみ、第1の論理レベルのパルス信号を出力し、前記第1の遅延回路は第1の論理和ゲートの出力をk-1クロックパルス周期だけ遅延して孤立パルス信号として出力する、請求項4に記載のサブフレーム同期信号検出回路。

【請求項7】 ウインドパルス発生回路は、繰返し回路と排他的論理和ゲートを有し、該繰返し回路は第2の遅延回路と第2の論理和ゲートを有し、第2の遅延回路は第2の論理和ゲートの出力をMクロックパルス周期だけ遅延し、第2の論理和ゲートは孤立パルス信号と第2の遅延回路の出力との論理和を生成し、前記排他的論理和ゲートは、前記孤立パルス信号と第2の論理和ゲートの出力を入力して孤立パルス信号の出力を阻止する請求項5または6のいずれか1項に記載のサブフレーム同期信号検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフレーム同期データ通信に関し、特に同期信号の誤り検出回路に関する。

【0002】

【従来の技術】 フレーム同期データ通信において、1フレームは複数のサブフレームによって構成され、データ信号の1フレームの開始を示すフレーム同期信号は、開始サブフレーム（第1サブフレーム）に特定のパターンのコードを設定することによって表わされる。フレームの、第1サブフレーム以外の部分を区切るために所定の論理レベルのサブフレーム同期信号が各サブフレームの特定のビット、例えば第kビットに設定される。第kビ

ットは通常第1ビットである。

【0003】図9は、フレーム同期データ通信におけるデータ信号S3のフレームフォーマット、イネーブル信号S1、クロックパルス信号S2を示す。同図において1フレームは複数のサブフレームで成り、各サブフレームは8ビットで各ビットはクロックパルス信号S2に同期して伝送される。以下の記述においては8ビットで成る各サブフレームをオクテットと記す。イネーブル信号S1は、データ信号が伝送されている期間のみ論理1の値をとる。フレーム同期信号は開始オクテットに8箇の“0”を設定して表わされる。図9に示されたフレームフォーマットにはサブフレーム同期信号またはオクテット同期信号は設定されていない。

【0004】図10はフレームフォーマットの他の例で、図9と同じ論理0のフレーム同期信号が第1オクテットに設定され、さらにオクテット同期信号が設定されている。オクテット同期信号は各オクテットの第1ビットに割当てられ、論理1が設定されている。

【0005】図11はフレーム同期信号検出回路が用いられているデータ通信システムを示す。送信側では送信端末から送られたデジタルデータ信号はデジタル・アナログ変換器91によってアナログデータ信号に変換され、次に、該アナログデータ信号は送信アンテナ92を経て受信アンテナ93で受信され、アナログ・デジタル変換器94によってデジタルデータ信号に変換される。フレーム同期信号検出回路95は、そのデジタルデータ信号からフレーム同期信号を検出し、そのデジタルデータ信号が伝送されたデータ信号であるか、または何か他の情報を表わすデータ信号であるかを判別してそのデジタルデータ信号を受信端末に送信する。実際には、フレーム同期信号検出回路は送信側にも設けられ、ノイズによって生じるデータ信号の変化が検査される。

【0006】図12は従来の代表的なフレーム同期信号検出回路のブロック図である。回路はシリアル・パラレル変換器10、メモリ12およびCPU13から成っている。シリアル・パラレル変換器10はイネーブル信号S1によってイネーブルにされ、クロックパルス信号S2に同期してシリアルデータ信号S3をパラレルデータ信号S11に変換する。パラレルデータ信号S11は、一旦、メモリ12中に蓄積される。当該のデータ通信によって伝送されたすべてのデータ信号がメモリ12中に蓄積された後、CPU13はソフトウェアによってフレーム同期信号を検出する。もし、サブフレーム同期信号が設定されていて、このサブフレーム同期信号をも検出する必要がある場合には、この段階で行われる。以下、フレーム同期信号とサブフレーム同期信号を総称して同期信号と記す。

【0007】

【発明が解決しようとする課題】上記の従来の同期信号検出回路においては、シリアル・パラレル変換されたす

べてのデータ信号が一旦メモリに蓄積された後に、同期信号に割当てられたビットを検出するので、すべてのデータ信号の同期信号を検出するのに長い時間を要するという問題点がある。

【0008】本発明の第1の目的は、データ信号の受信と並行してリアルタイムでフレーム同期信号を検出することができるフレーム同期信号検出回路を提供することにある。

【0009】本発明の第2の目的は、データ信号の受信と並行してリアルタイムでサブフレーム同期信号を検出することができるサブフレーム同期信号検出回路を提供することにある。

【0010】

【課題を解決するための手段】上記の第1の目的を達成するために本発明のフレーム同期信号検出回路は、すべてのビットに同一の論理レベルのコードが設定されているフレーム同期信号の誤りを検出するように構成されている。フレーム同期信号検出回路は、フレーム同期信号の長さに対応する期間のみ論理値1をとる第1の信号を出力する第1の回路と、フレーム同期データ通信によって送信されたデータ信号と第1の信号を入力して両者の論理積に対応する第2の信号を出力する第1のゲート回路を有する第2の回路とを有する。

【0011】第1の回路の望ましい態様は、フレーム同期データ送信によって伝送されたイネーブル信号をフレーム同期信号の長さに対応する期間だけ遅延させ、遅延イネーブル信号として出力する遅延回路と、イネーブル信号と遅延イネーブル信号との排他的論理和を第1の信号として出力する第2のゲート回路とを有する。遅延回路の望ましい態様は、フレーム同期信号のビット数と同じビット数のシフトレジスタを有し、該シフトレジスタは、フレーム同期データ通信によって送信されたイネーブル信号とクロックパルス信号を入力し、クロックパルス信号に同期して前記イネーブル信号をシフトさせ、そのシリアル出力を遅延イネーブル信号として出力する。

【0012】上記の第2の目的を達成するために、本発明のサブフレーム同期信号検出回路は、1フレームが複数のサブフレームで成り、各サブフレームはMビットで成り、フレーム同期信号は開始サブフレームの全ビットで表わされ、サブフレーム同期信号は開始サブフレーム以外の各サブフレームの第kビットで表わされ、前記第kビットは第1の論理レベルに設定されるサブフレーム同期信号の誤りを検出するように構成されている。サブフレーム同期信号検出回路は、開始サブフレームを検出し、該サブフレームに表わされているフレーム同期信号に誤りが無いことを検出したときに、開始サブフレームの次に続く第2サブフレームの第kビットに同期して前記第1の論理レベルの孤立パルス信号を発生し、かつ、入力したデータ信号をMクロックパルス周期だけ遅延させて出力する開始サブフレーム検出回路と、先頭パルス

は孤立パルス信号をMクロックパルス周期だけ遅延させることによって生成され、それ以後の各パルスは直前のパルスをMクロックパルス周期だけ遅延させることによって繰返し生成され、該繰返し生成されたパルスのうちの第2サブフレーム以外の各サブフレームのサブフレーム同期信号に同期するパルスで成るパルス列であるウィンドパルスを生成するウィンドパルス発生回路と、ウィンドパルスの制御のもとで、開始サブフレーム検出回路によって遅延されたデータ信号から、開始サブフレーム以外のサブフレームの第kビットを選択するトランスミッションゲートを有する。

【0013】開始サブフレーム検出回路の望ましい態様は、シリアル入力端子とMビットパラレル出力端子およびシリアル出力端子を有する第1のシフトレジスタと、第1のシフトレジスタのMビットのパラレル出力に接続されたM入力の第1の論理和ゲートを有し、第1のシフトレジスタは、シリアル入力されたデータ信号をクロックパルス信号に同期してシフトさせ、そのシリアル出力を遅延データ信号として出力し、第1の論理和ゲートは開始フレームが誤りをもたないときにのみ、第1の論理

レベルのパルスを孤立パルス信号として出力する。

【0014】開始サブフレーム検出回路のもう1つの望ましい態様は、シリアル入力端子とMビットパラレル出力端子およびシリアル出力端子を有する第1のシフトレジスタと、前記第1のシフトレジスタのMビットのパラレル出力に接続されたM入力の第1の論理和ゲートと、第1の遅延回路を有し、第1のシフトレジスタは、シリアル入力されたデータ信号をクロックパルス信号に同期してシフトさせ、そのシリアル出力を遅延データ信号として出力し、第1の論理和ゲートは開始フレームが誤りをもたないときにのみ、第1の論理レベルのパルス信号を出力し、第1の遅延回路は第1の論理和ゲートの出力をk-1クロックパルス周期だけ遅延して孤立パルス信号として出力する。

【0015】ウィンドパルス発生回路の望ましい態様は、繰返し回路と排他的論理和ゲートを有し、該繰返し回路は第2の遅延回路と第2の論理和ゲートを有し、第2の遅延回路は第2の論理和ゲートの出力をMクロックパルス周期だけ遅延し、第2の論理和ゲートは孤立パルス信号と第2の遅延回路の出力との論理和を生成し、排

他的論理和ゲートは孤立パルス信号と第2の論理和ゲートの出力を入力して孤立パルス信号の出力を阻止する。

【0016】

【実施例】図1は本発明のフレーム同期信号検出回路の第1の実施例のブロック図であり、図2は図1の誤り検出回路4のブロック図である。図3は図1、図2の回路の各部の動作を説明するタイミング図である。本実施例において採用されているフレームフォーマットは図9で説明されたものと同一であって、フレーム同期信号は開始オクテット（第1オクテット）に設定され、全ビット

に論理0が設定される。図3のデータ信号は、フレーム同期信号の第3ビットに論理1の誤りを含んでいる。

【0017】フレーム同期信号検出回路は第1信号発生回路1と誤り検出回路4を備え、第1信号発生回路は後述する第1信号S5を発生する。第1信号発生回路1は8ビットのシフトレジスタ2とANDゲート3で構成されている。シフトレジスタ2はシリアル入力端子にイネーブル信号S1を入力し、クロックパルス信号S2に同期してイネーブル信号S1を8ビットだけシフトし、遅延イネーブル信号を生成する。したがって遅延イネーブル信号は、イネーブル信号よりも8クロックパルス周期すなわち、フレーム同期信号の長さだけ位相が遅れた信号である。ANDゲート3はイネーブル信号と反転遅延イネーブル信号S4を入力し、その論理積を第1信号S5として出力する。したがって第1信号S5はフレーム同期信号の長さに対応する期間のみ論理1をとる（図3、信号S5参照）。誤り検出回路4はフレーム同期信号が誤りを含んでいる場合には、その誤りをフレーム同期信号から抽出する。誤り検出回路4はANDゲート5とレジスタ回路6から成っている。ANDゲート5は第1信号S5とデータ信号S3を受信し、その論理積を第2信号S6として出力する。それによってフレーム同期信号から誤りビットが抽出される（図3、信号S6）。レジスタ回路6は、ANDゲート7、8およびDフリップフロップ9から成っている。ANDゲート7はクロックパルス信号S2と第1信号S5を入力し、フレーム同期信号の長さに対応する期間のみ活性のクロックパルス列S7を出力する（図3、信号S7）。ANDゲート8は第2信号S6とクロックパルス列S7を入力し、フレーム同期信号に誤りビットがある場合には該ビットに同期する1発のクロックパルスS8を出力する。Dフリップフロップはイネーブル信号によってイネーブルにされ、データ入力端子には第2信号S6を、クロック入力端子にはクロックパルスS8を入力し、クロックパルスS8の立下りで第2信号S6をラッチし警報信号S9を発信する。このようにして、フレーム同期信号検出回路は、フレーム同期信号に誤りがある場合には、データ信号の入力と並行してリアルタイムでその誤りを検出することができる。本実施例では、イネーブル信号と反転遅延イネーブル信号の論理積によって第1信号S5を作成したけれど、イネーブル信号と遅延イネーブル信号との排他的論理和をとることによって同一の信号を得ることができる。

【0018】次に、図4ないし8を参照して本発明の第2の実施例を説明する。図4は本発明の第2の実施例のブロック図、図5、図6、図7はそれぞれ図4の開始オクテット検出回路、ウィンドパルス発生回路、データ変換回路のブロック図、図8は図4、図5、図6、図7に示されている回路の各部の動作を示すタイミング図である。本実施例はオクテット同期信号検出回路の一例であ

10

20

30

40

50

る。本実施例で採用されているフレームフォーマットは図10に示されているものと同じで、1フレームは10オクテットから成るものとする。

【0019】オクテット同期信号検出回路は、図4に示されているように、開始オクテット検出回路20、ウインドパルス発生回路21、トランスミッションゲート22、排他的論理和ゲート23、データ変換回路24から成っている。開始オクテット検出回路20は、図5に示されているように、8ビットシフトレジスタ25と8入力NORゲート26から成り、シフトレジスタ25のパラレル出力はNORゲート26の入力に接続されている。シフトレジスタ25はクロックパルス信号S2に同期してデータ信号S3をシフトし、そのシリアル出力端子から8クロックパルス周期だけ遅延したデータ信号を出力する。以下、この遅延したデータ信号を遅延データ信号S20と記す(図8、信号S20参照)。NORゲート26は、その8個の入力のすべてに論理0を入力したとき、したがって開始オクテット検出回路20がフレーム同期信号(開始オクテット)中に誤りを検出しないときにのみ、第2オクテットのオクテット同期信号(本実施例では第2オクテットの第1ビット)に同期して孤立パルス信号S21を出力する。

【0020】ウインドパルス発生回路21はウインドパルスを発生する。ウインドパルスは図8に信号S22として表わされているように、成分パルスが第3オクテットおよびそれ以後の各オクテットのオクテット同期信号(第1ビット)と同期して発生するパルス列である。ウインドパルス発生回路21は(図6参照)8ビットシフトレジスタ28、ORゲート29および排他的論理和ゲート30から成っている。ORゲート29は孤立パルス信号S21とシフトレジスタ28のシリアル出力の論理和を生成し、その出力信号S29をシフトレジスタ28のシリアル入力端子に供給する。シフトレジスタ28はそのシリアル入力端子に入力された信号S29を8クロックパルス周期だけ遅延して出力し、その遅延された出力(シリアル出力)をORゲート29を介して再び入力する。したがって、シフトレジスタ28とORゲート29は繰返し回路を構成し、この繰返し回路は、孤立パルス信号を先頭パルスとし、8クロックパルス周期を繰返し周期とするパルス列を発生する。このパルス列が信号S29である。排他的論理和ゲート30は信号S29から孤立パルス信号S21を除去し、図8に示されているようなウインドパルスS22を生成する。

【0021】トランスミッションゲート22(図4参照)はウインドパルスS22の制御のもとで(ウインドパルスS22をマスク信号として)、遅延データ信号S20を伝送し、それによってオクテット同期信号の8クロックパルス周期だけ遅延した第2オクテットおよびそれ以後のオクテットの第1ビットを抽出する。以下、トランスミッションゲート22の出力を信号S23と記

す。排他的論理和ゲート23は誤り検出ゲートである。このゲートはウインドパルスS22と信号S23を受信し、オクテット同期信号として設定されたビットのうち、正しいビットの出力を阻止し、誤りビットS24のみを出力する(図8参照)。データ変換回路24は、シリアル・パラレル変換回路33、Dフリップフロップ32、ANDゲート31を備えている。シリアル・パラレル変換器33は、シリアルに入力した遅延データ信号S20を、クロックパルス信号S2に同期してパラレルデータ信号S33に変換する。ANDゲート31は誤りビットS24とクロックパルス信号S2を入力し、誤りビットが存在する場合にのみクロックパルスS31を出力する。Dフリップフロップ32はクロックパルスS31に同期して誤りビットS24をラッチしてリセット信号S32を出力する。リセット信号S32はシリアル・パラレル変換器33をディスエーブルにすると共に警報信号を発生する。

【0022】次に本実施例の動作を、第10オクテットのオクテット同期信号に誤り(論理0)がある場合について説明する。開始オクテット検出回路20は、データ信号S3およびクロックパルス信号S2を受信すると、開始オクテットを検出し、誤りがない場合には第2オクテットの第1ビットに同期して孤立パルス信号S21を出力する。ウインドパルス発生回路21は孤立パルス信号S21を受信すると、孤立パルス信号S21を先頭パルスとして、各オクテットの第1ビットに同期してパルスの生成を繰り返す(信号S29)。ウインドパルス発生回路21に設けられている排他的論理和ゲート30は信号S29から孤立パルス信号S21を排除し、ウインドパルスS22を生成する。ウインドパルスS22は、トランスミッションゲート22中における遅延データ信号S20の伝送を制御し、1オクテット周期(8クロックパルス周期)だけ遅延された第2ないし10オクテットの第1ビットを抽出する。排他的論理和ゲート23は、トランスミッションゲート22から出力される第1ビットのうちの正しいビットの出力を阻止し、誤りビットのみをデータ変換回路24に供給する。データ変換回路24は、誤りビットが検出されない場合には、シリアル入力された遅延データ信号S20をパラレルデータ信号S33に変換する。誤りビットS24が検出されたときには、データ変換回路24は、シリアル・パラレル変換を停止し警報信号を発生する。

【0023】多くの場合、オクテット同期信号は、各オクテットの第1ビットに設定される。しかし、オクテット同期信号は各オクテットの任意のビット、例えば第kビット(kは1より大きく8以下)に設定することができる。この場合には開始オクテット検出回路20中のNORゲート26の出力を、例えばk-1ビットのシフトレジスタによってk-1クロックパルス周期だけ遅延させ、その遅延された出力を孤立パルス信号S21として

用いることによって、それ以上の変更をすることなく本発明の目的を達成することができる。

【0024】

【発明の効果】以上説明したように、本発明のフレーム同期信号検出回路は次の効果を有する。

【0025】1. フレーム同期信号の長さに対応する期間のみ論理値1をとる第1の信号と入力データ信号との論理積をとることにより、データ信号が入力するとデータ信号の入力と並行してリアルタイムでフレーム同期信号の誤りを検出することができる（請求項1）。

【0026】2. 第1の信号を、イネーブル信号と遅延イネーブル信号の排他的論理和で生成するという簡単な原理に基づいて生成することができるので、必要に応じて種々の変更をすることができる。例えば遅延時間を長くとり、または短くとることによってその遅延時間に対応する長さのフレーム同期信号の検出をリアルタイムに行うことができる（請求項2）。

【0027】3. 遅延イネーブル信号を生成する遅延回路は1個のシフトレジスタのみで構成されるので回路が簡単化される（請求項3）。

【0028】本発明のサブフレーム同期信号検出回路は次の効果を有する。

【0029】1. データ信号の開始サブフレームが入力するとこれを検出し、誤リビットが無ければ孤立パルス信号を発生させ、その孤立パルス信号に基づいてウインドパルスを発生し、該ウインドパルスをマスク信号としてデータ信号からサブフレーム同期信号を抽出することにより、データ信号の受信と並行してリアルタイムにサブフレーム同期信号を検出することができる（請求項4）。

【0030】2. クロックパルス信号に同期して入力データ信号をシフトさせるシフトレジスタおよび該シフトレジスタのバラレル出力を入力する論理和ゲートで成る簡単な回路構成によって、本発明に用いられる制御信号の起源になる孤立パルス信号を開始サブフレームの入力の終了と同時に生成することができ、この孤立パルス信号生成の即時性によって本発明のサブフレーム同期信号検出回路の検出動作のリアルタイム性が保証される（請求項5）。

【0031】3. 孤立パルス信号を先頭パルスとして繰返し回路によって1サブフレーム周期を繰返し周期とするパルス列を生成し、排他的論理和ゲートによって該パルス列から孤立パルス信号を排除することにより、データ信号の入力と並行してウインドパルスを生成することができ、それによってデータ信号からサブフレーム同期信号の抽出を即時に行うことができる（請求項7）。

【0032】4. 孤立パルス信号を遅延させて、その遅延された孤立パルス信号によってウインドパルスを生成することにより、サブフレーム同期信号が各サブフレームの任意番目にあってもこれを検出することができる

（請求項6）。

【図面の簡単な説明】

【図1】本発明の第1の実施例のブロック図である。

【図2】図1の誤り検出回路4のブロック図である。

【図3】図1、図2の回路の各部の動作を説明するタイミング図である。

【図4】本発明の第2の実施例のブロック図である。

【図5】図4の開始オクテット検出回路20のブロック図である。

【図6】図4のウインドパルス発生回路21のブロック図である。

【図7】図4のデータ変換回路24のブロック図である。

【図8】図4ないし7に示されている回路の各部の動作を示すタイミング図である。

【図9】フレーム同期データ通信におけるデータ信号のフレームフォーマットの一例、イネーブル信号、クロックパルス信号を示す図である。

【図10】サブフレーム同期信号が設定されているフレームフォーマットの一例を示す図である。

【図11】フレーム同期信号検出回路を備えたデータ通信システムを示す図である。

【図12】フレーム同期信号検出回路の代表的な従来例のブロック図である。

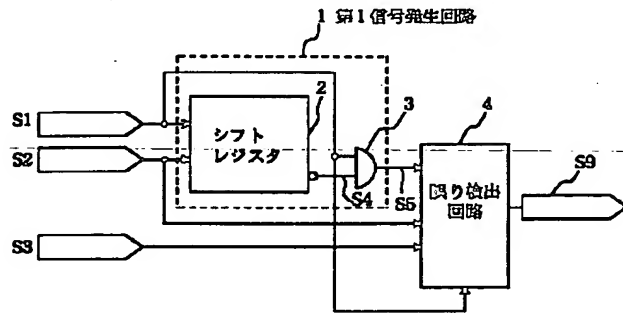
【符号の説明】

1 第1信号発生回路2, 25, 28 シフトレジスタ
3, 5, 7, 8, 31 ANDゲート
4 誤り検出回路
6 レジスタ回路
20 開始オクテット検出回路
21 ウインドパルス発生回路
22 トランスマッションゲート
23, 30 排他的論理和ゲート
24 データ変換回路
26, 29 ORゲート
32 Dフリップフロップ
33 シリアル・バラレル変換器
S1 イネーブル信号
S2 クロックパルス信号
S3 データ信号
S5 第1信号
S6 第2信号
S7 クロックパルス列
S8 クロックパルス
S9 警報信号
S20 遅延データ信号
S21 孤立パルス信号
S22 ウインドパルス
S24 誤リビット

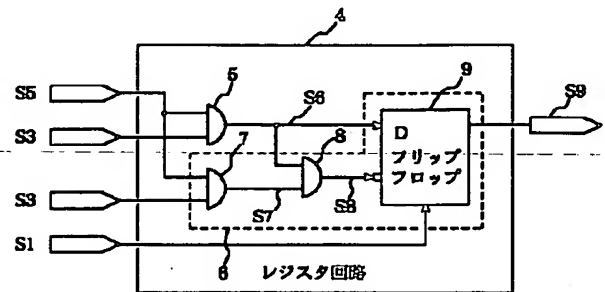
11
 S29 パルス列 (ORゲート29の出力)
 S30 パラレルデータ信号

12
 S31 クロックパルス
 S32 リセットパルス

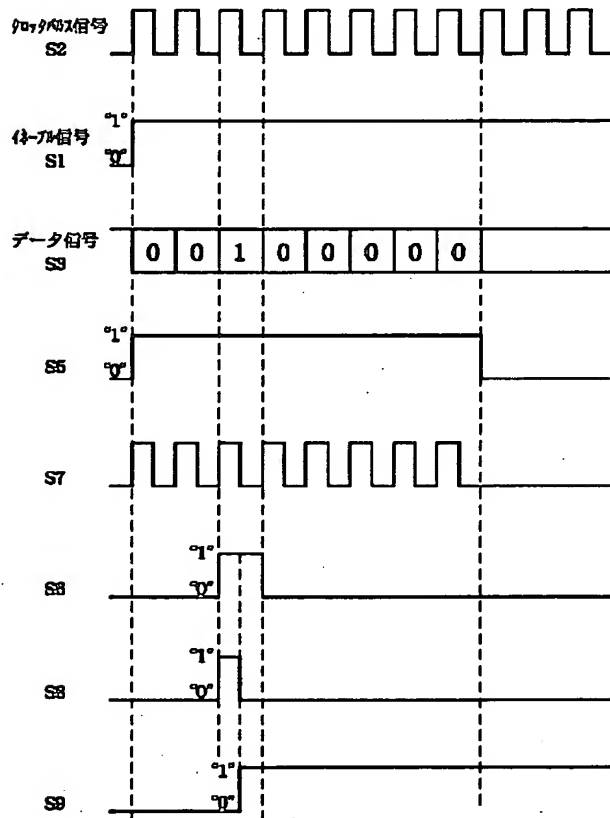
【図1】



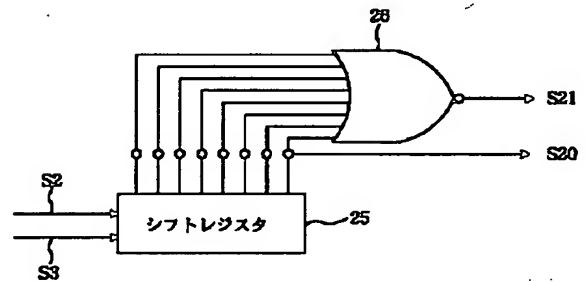
【図2】



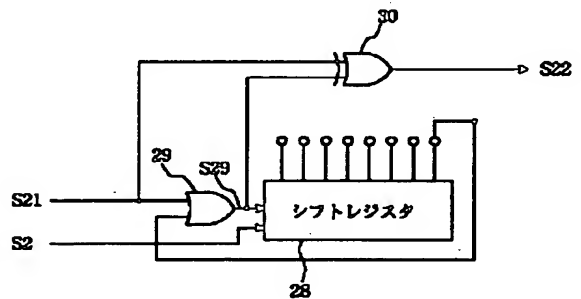
【図3】



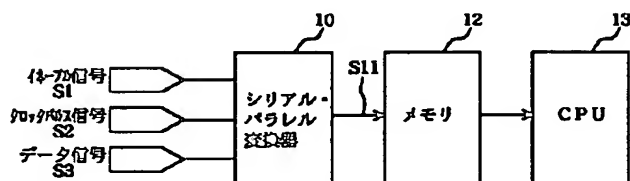
【図5】



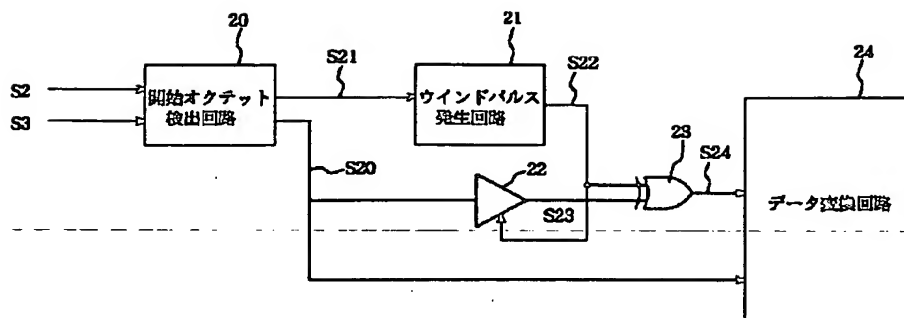
【図6】



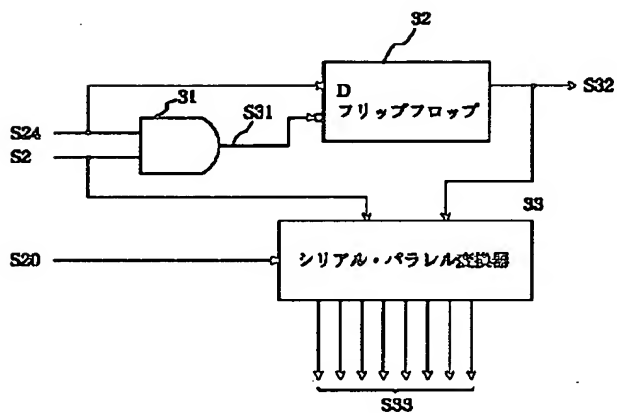
【図12】



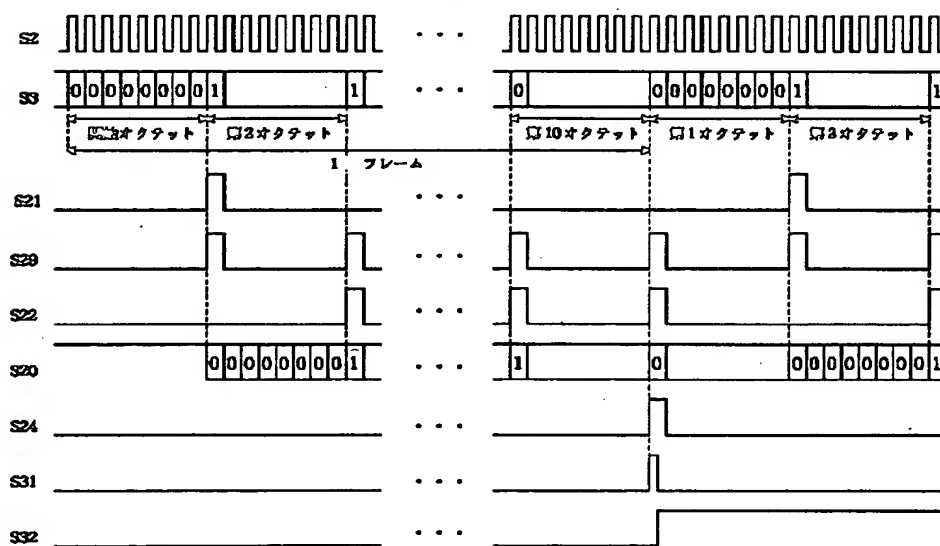
【図4】



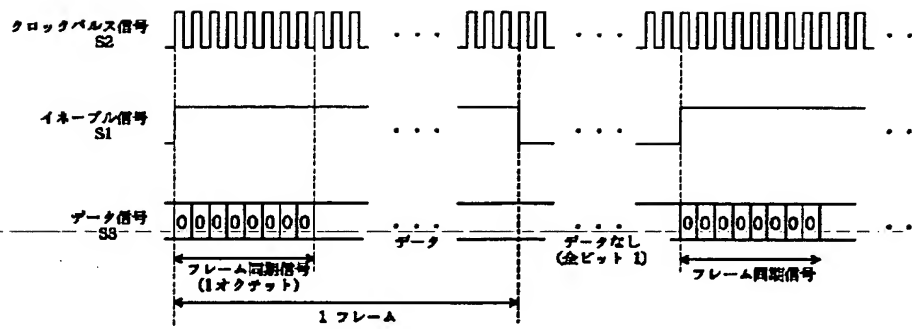
【図7】



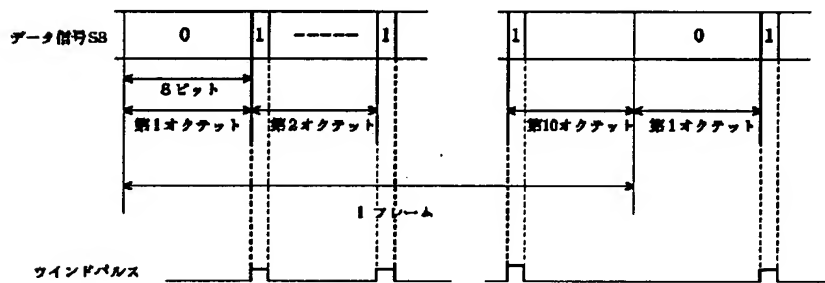
【図8】



【図9】



【図10】



【図11】

